

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月4日
Date of Application:

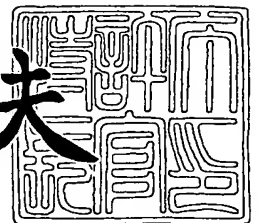
出願番号 特願2002-352812
Application Number:
[ST. 10/C]: [JP 2002-352812]

出願人 旭化成マイクロシステム株式会社
Applicant(s):

2003年11月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3094488



【書類名】 特許願

【整理番号】 X102-0203

【提出日】 平成14年12月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 G05F 3/00

【発明の名称】 定電圧発生回路

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県厚木市岡田 3 0 5 0 番地 旭化成マイクロシステム株式会社内

 【氏名】 根本 謙治

【特許出願人】

 【識別番号】 594021175

 【氏名又は名称】 旭化成マイクロシステム株式会社

【代理人】

 【識別番号】 100077481

 【弁理士】

 【氏名又は名称】 谷 義一

【手数料の表示】

 【予納台帳番号】 013424

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9713164

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 定電圧発生回路

【特許請求の範囲】

【請求項 1】 n (n は $2 \leq n$ の整数) 個の第 1 バイポーラトランジスタからなる第 1 バイポーラトランジスタ群と、エミッタ面積が前記第 1 バイポーラトランジスタのエミッタ面積の A (A は $1 < A$) 倍である第 2 バイポーラトランジスタが n 個からなる第 2 バイポーラトランジスタ群と、前記 n 個の第 1 バイポーラトランジスタの夫々のベース・エミッタ間電圧の和の電圧と前記 n 個の第 2 バイポーラトランジスタの夫々のベース・エミッタ間電圧の和の電圧との差分の電圧を発生する差分電圧発生手段とを備え、

前記差分の電圧を増幅した電圧と前記第 2 バイポーラトランジスタ群のうちのバイポーラトランジスタの 1 個分のベース・エミッタ間電圧とを加算して温度に依存しない一定電圧を出力することを特徴とする定電圧発生回路。

【請求項 2】 請求項 1 に記載の定電圧発生回路において、

前記差分電圧発生手段は差動増幅器を備え、前記差動増幅器の入力換算オフセット電圧が一次の温度特性を有することを特徴とする定電圧発生回路。

【請求項 3】 n (n は $2 \leq n$ の整数) 個の第 1 バイポーラトランジスタからなる第 1 バイポーラトランジスタ群と、エミッタ面積が前記第 1 バイポーラトランジスタのエミッタ面積の A (A は $1 < A$) 倍である第 2 バイポーラトランジスタが n 個からなる第 2 バイポーラトランジスタ群と、前記 n 個の第 1 バイポーラトランジスタの夫々のベース・エミッタ間電圧の和の電圧と前記 n 個の第 2 バイポーラトランジスタの夫々のベース・エミッタ間電圧の和の電圧との差分の電圧を発生する差分電圧発生手段とを備え、

前記差分の電圧を増幅した電圧と前記 n 個の第 2 バイポーラトランジスタの夫々のベース・エミッタ間電圧の和の電圧とを加算して温度に依存しない一定電圧を出力する定電圧発生回路であって、

前記差分電圧発生手段は差動増幅器を備え、前記差動増幅器の入力換算オフセット電圧が一次の温度特性を有することを特徴とする定電圧発生回路。

【請求項 4】 n (n は $2 \leq n$ の整数) 個の第 1 $p n p$ トランジスタからな

る第1 p n p トランジスタ群と、エミッタ面積が前記第1 p n p トランジスタのエミッタ面積の A (A は $1 < A$) 倍である第2 p n p トランジスタが n 個からなる第2 p n p トランジスタ群と、前記第1 及び第2 p n p トランジスタ群の夫々に電流を供給する電流源と、前記電流源の電流を制御する電流制御手段とを備え、

前記第1 p n p トランジスタ群の夫々のコレクタは接地され、前記第1 p n p トランジスタ群の夫々のエミッタは前記電流源に接続され、前記第1 p n p トランジスタ群のうち1番目の第1 p n p トランジスタのベースは接地され、前記第1 p n p トランジスタ群のうち k (k は $2 \leq k \leq n$ の整数) 番目の第1 p n p トランジスタのベースと ($k-1$) 番目の第1 p n p トランジスタのエミッタとは接続され、

前記第2 p n p トランジスタ群の夫々のコレクタは接地され、前記第2 p n p トランジスタ群のうち1番目の第2 p n p トランジスタを除く夫々のエミッタは前記電流源に接続され、前記第2 p n p トランジスタ群のうち1番目の第2 p n p トランジスタのベースは接地され、前記第2 p n p トランジスタ群のうち2番目の第2 p n p トランジスタを除く k 番目の第2 p n p トランジスタのベースと前記第2 p n p トランジスタ群のうち ($k-1$) 番目の第2 p n p トランジスタのエミッタとは接続され、

前記1番目の第2 p n p トランジスタのエミッタと前記電流源との間に2個の抵抗が直列に接続され、前記直列に接続された2個の抵抗間の接続点は前記第2 p n p トランジスタ群のうち2番目の第2 p n p トランジスタのベースに接続され、

前記電流制御手段は、前記 n 番目の第1 p n p トランジスタのエミッタが接続される第1の入力端子と、前記 n 番目の第2 p n p トランジスタのエミッタが接続される第2の入力端子とを備え、前記第1の入力端子の電位と前記第2の入力端子の電位とが同じになるように、前記電流源の電流を制御する制御信号を出力することを特徴とする定電圧発生回路。

【請求項5】 n (n は $2 \leq n$ の整数) 個の第1 n p n トランジスタからなる第1 n p n トランジスタ群と、エミッタ面積が前記第1 n p n トランジスタの

エミッタ面積の A (A は $1 < A$) 倍である第 $2npn$ トランジスタが n 個からなる第 $2npn$ トランジスタ群と、前記第 1 及び第 $2npn$ トランジスタ群の夫々に電流を供給する電流源と、前記電流源の電流を制御する電流制御手段とを備え、

前記第 $1npn$ トランジスタ群の夫々のベースとコレクタとは接続され、前記第 $1npn$ トランジスタ群のうち 1 番目の第 $1npn$ トランジスタのエミッタは接地され、前記第 $1npn$ トランジスタ群のうち k (k は $2 \leq k \leq n$ の整数) 番目の第 $1npn$ トランジスタのエミッタと ($k-1$) 番目の第 $1npn$ トランジスタのコレクタとは接続され、前記第 $1npn$ トランジスタ群のうち n 番目の第 $1npn$ トランジスタのコレクタは前記電流源に接続され、

前記第 $2npn$ トランジスタ群の夫々のベースとコレクタとは接続され、前記第 $2npn$ トランジスタ群のうち 1 番目の第 $2npn$ トランジスタのエミッタは接地され、前記第 $2npn$ トランジスタ群のうち 2 番目の第 $2npn$ トランジスタを除く k (k は $2 \leq k \leq n$ の整数) 番目の第 $2npn$ トランジスタのエミッタと前記第 $2npn$ トランジスタ群のうち ($k-1$) 番目の第 $2npn$ トランジスタのコレクタとは接続され、前記第 $2npn$ トランジスタ群のうち n 番目の第 $2npn$ トランジスタのコレクタは前記電流源に接続され、

前記 1 番目の第 $2npn$ トランジスタのコレクタは直列に接続された 2 個の抵抗を介して前記電流源に接続され、前記直列に接続された 2 個の抵抗間の接続点は前記第 $2npn$ トランジスタ群のうち 2 番目の第 $2npn$ トランジスタのエミッタに接続され、

前記電流制御手段は、前記 n 番目の第 $1npn$ トランジスタのコレクタが接続される第 1 の入力端子と、前記 n 番目の第 $2npn$ トランジスタのコレクタが接続される第 2 の入力端子とを備え、前記第 1 の入力端子の電位と前記第 2 の入力端子の電位とが同じになるように、前記電流源の電流を制御する制御信号を出力することを特徴とする定電圧発生回路。

【請求項 6】 請求項 4 または請求項 5 に記載の定電圧発生回路において、

前記電流制御手段は差動増幅器を備え、前記差動増幅器の入力換算オフセット電圧が一次の温度特性を有することを特徴とする定電圧発生回路。

【請求項 7】 n (n は $2 \leq n$ の整数) 個の第 1 p n p トランジスタからなる第 1 p n p トランジスタ群と、エミッタ面積が前記第 1 p n p トランジスタのエミッタ面積の A (A は $1 < A$) 倍である第 2 p n p トランジスタが n 個からなる第 2 p n p トランジスタ群と、前記第 1 及び第 2 p n p トランジスタ群の夫々に電流を供給する電流源と、前記電流源の電流を制御する電流制御手段とを備え、

前記第 1 p n p トランジスタ群の夫々のコレクタは接地され、前記第 1 p n p トランジスタ群の夫々のエミッタは前記電流源に接続され、前記第 1 p n p トランジスタ群のうち 1 番目の第 1 p n p トランジスタのベースは接地され、前記第 1 p n p トランジスタ群のうち k (k は $2 \leq k \leq n$ の整数) 番目の第 1 p n p トランジスタのベースと ($k-1$) 番目の第 1 p n p トランジスタのエミッタとは接続され、

前記第 2 p n p トランジスタ群の夫々のコレクタは接地され、前記第 2 p n p トランジスタ群のうち n 番目の第 2 p n p トランジスタを除く夫々のエミッタは前記電流源に接続され、前記第 2 p n p トランジスタ群のうち 1 番目の第 2 p n p トランジスタのベースは接地され、前記第 2 p n p トランジスタ群のうち k 番目の第 2 p n p トランジスタのベースと ($k-1$) 番目の第 2 p n p トランジスタのエミッタとは接続され、

前記 n 番目の第 2 p n p トランジスタのエミッタと前記電流源との間に 2 個の抵抗が直列に接続され、

前記電流制御手段は、前記 n 番目の第 1 p n p トランジスタのエミッタが接続される第 1 の入力端子と、前記直列に接続された 2 個の抵抗間の接続点が接続される第 2 の入力端子とを備え、前記第 1 の入力端子の電位と前記第 2 の入力端子の電位とが同じになるように、前記電流源の電流を制御する制御信号を出力する定電圧発生回路において、

前記電流制御手段は差動増幅器を備え、前記差動増幅器の入力換算オフセット電圧が一次の温度特性を有することを特徴とする定電圧発生回路。

【請求項 8】 n (n は $2 \leq n$ の整数) 個の第 1 n p n トランジスタからなる第 1 n p n トランジスタ群と、エミッタ面積が前記第 1 n p n トランジスタの

エミッタ面積の A (A は $1 < A$) 倍である第 2 n p n トランジスタが n 個からなる第 2 n p n トランジスタ群と、前記第 1 及び第 2 n p n トランジスタ群の夫々に電流を供給する電流源と、前記電流源の電流を制御する電流制御手段とを備え、

前記第 1 n p n トランジスタ群の夫々のベースとコレクタとは接続され、前記第 1 n p n トランジスタ群のうち 1 番目の第 1 n p n トランジスタのエミッタは接地され、前記第 1 n p n トランジスタ群のうち k (k は $2 \leq k \leq n$ の整数) 番目の第 1 n p n トランジスタのエミッタと ($k-1$) 番目の第 1 n p n トランジスタのコレクタとは接続され、前記第 1 n p n トランジスタ群のうち n 番目の第 1 n p n トランジスタのコレクタは前記電流源に接続され、

前記第 2 n p n トランジスタ群の夫々のベースとコレクタとは接続され、前記第 2 n p n トランジスタ群のうち 1 番目の第 2 n p n トランジスタのエミッタは接地され、前記第 2 n p n トランジスタ群のうち k (k は $2 \leq k \leq n$ の整数) 番目の第 2 n p n トランジスタのエミッタと ($k-1$) 番目の第 2 n p n トランジスタのコレクタとは接続され、

前記 n 番目の第 2 n p n トランジスタのコレクタと前記電流源との間に 2 個の抵抗が直列に接続され、

前記電流制御手段は、前記 n 番目の第 1 n p n トランジスタのコレクタが接続される第 1 の入力端子と、前記直列に接続された 2 個の抵抗間の接続点が接続される第 2 の入力端子とを備え、前記第 1 の入力端子の電位と前記第 2 の入力端子の電位とが同じになるように、前記電流源の電流を制御する制御信号を出力する定電圧発生回路において、

前記電流制御手段は差動増幅器を備え、前記差動増幅器の入力換算オフセット電圧が一次の温度特性を有することを特徴とする定電圧発生回路。

【請求項 9】 請求項 6 から請求項 8 のいずれかに記載の定電圧発生回路であって、

前記差動増幅器は、第 1 n p n トランジスタ及びエミッタ面積が前記第 1 n p n トランジスタのエミッタ面積の A (A は $1 < A$) 倍である第 2 n p n トランジスタからなる差動対と、前記差動対に電流を供給する電流源とを備え、

前記差動対は、前記第 1 及び第 2 の入力端子を備え、前記第 1 の入力端子は前記第 1 n p n トランジスタのベースであり、前記第 2 の入力端子は前記第 2 n p n トランジスタのベースであって、

前記第 1 n p n トランジスタのエミッタは前記電流源に接続され、前記第 2 n p n トランジスタのエミッタは前記電流源に接続され、前記第 1 n p n トランジスタのエミッタと前記第 2 n p n トランジスタのエミッタは接続されることを特徴とする定電圧発生回路。

【請求項 10】 請求項 9 に記載の定電圧発生回路であって、

前記差動増幅器は、 m (m は $1 \leq m$ の整数) 個の第 1 n p n トランジスタからなる第 1 n p n トランジスタ群と、エミッタ面積が前記第 1 n p n トランジスタのエミッタ面積の A (A は $1 < A$) 倍である第 2 n p n トランジスタが m 個からなる第 2 n p n トランジスタ群とをさらに備え、

前記第 1 n p n トランジスタ群の第 1 n p n トランジスタの夫々のベースとコレクタとは接続され、第 1 n p n トランジスタ群のうち k (k は $2 \leq k \leq m$ の整数) 番目の第 1 n p n トランジスタのコレクタと $(k-1)$ 番目の第 1 n p n トランジスタのエミッタとは接続され、前記第 1 n p n トランジスタ群のうち 1 番目の第 1 n p n トランジスタのコレクタは前記差動対を構成する第 1 n p n トランジスタのエミッタに接続され、前記第 1 n p n トランジスタ群のうち m 番目の第 1 n p n トランジスタのエミッタは前記電流源に接続され、

前記第 2 n p n トランジスタ群の第 2 n p n トランジスタの夫々のベースとコレクタとは接続され、第 2 n p n トランジスタ群のうち k (k は $2 \leq k \leq m$ の整数) 番目の第 2 n p n トランジスタのコレクタと $(k-1)$ 番目の第 2 n p n トランジスタのエミッタとは接続され、前記第 2 n p n トランジスタ群のうち 1 番目の第 2 n p n トランジスタのコレクタは前記差動対を構成する第 2 n p n トランジスタのエミッタに接続され、前記第 2 n p n トランジスタ群のうち m 番目の第 2 n p n トランジスタのエミッタは前記電流源に接続されることを特徴とする定電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は定電圧発生回路に関し、特に半導体集積回路上に構成されるバンドギャップリファレンス回路から構成される定電圧発生回路であって、低電圧駆動、低雑音化を実現するのに有効な定電圧発生回路に関するものである。

【0002】

【従来の技術】

従来、広く知られているバンドギャップリファレンス回路を図4に示す。動作原理はバイポーラトランジスタPN21の温度に対し負の温度特性を有するベースエミッタ電圧(VBE)と、これとはエミッタ面積の異なる(すなわち、N倍)バイポーラトランジスタPN11のVBEとの差(ΔVBE)が正の温度特性を有することを利用し、温度特性がフラットになるように(1)式を回路的に実現するものである。

【0003】

【数1】

$$V_{OUT} = \alpha \Delta VBE + VBE = \alpha \frac{\kappa T}{q} \ln(N) + VBE \approx 1.2V \quad (1)$$

【0004】

κ : ボルツマン定数

q : 電子電荷

T : 温度

$$\alpha = 1 + R2/R1$$

バイポーラトランジスタPN21とPN11の面積比が1:8程度の場合、 α (差動増幅器OP1の閉ループ利得)は約13程度となる。

【0005】

差動増幅器OP1の閉ループ利得を考えると、PNPバイポーラトランジスタはダイオード接続されているので、VSS-エミッタ間のインピーダンスは小さく、近似的にはエミッタ端子は接地と考えられるので、 $R1$ を入力抵抗、 $R2$ を帰還抵抗とする増幅回路と等価となり、利得は $(R1 + R2)/R1 = 1 + R2/R1 = \alpha$ となる。よって、雑音特性は差動増幅回路OP1の入力換算雑音を V

n とすると、出力換算では約 αV_n となる。差動増幅器 OP1 の入力換算オフセット電圧も同様に出力換算では α 倍になる。

【0006】

低雑音化のための回路としては、例えば、図5、図6に示すものが知られている（例えば、特許文献1）。図5と図6の回路はPNPバイポーラトランジスタか、NPNバイポーラトランジスタかの違いであり、本質的な動作は等価である。図6の回路を例に動作を説明する。

【0007】

差動増幅器 OP1 の2つの入力端子（+，-）の各々に、エミッタ面積の異なる（本例ではN：1）NPNトランジスタ（NP11～NP1n，NP21～NP2n）をダイオード接続し、更に n 個を直列接続することにより、1段あたり ΔV_{BE} の電位差が発生するので、 n 個で $n \Delta V_{BE}$ の電位差が差動増幅器 OP1 の2つの入力端子（+，-）の間に発生する。PMOS FET（P1，P2）の W （チャネル幅）／ L （チャネル長）サイズを等しくすると、それぞれの直列NPNバイポーラトランジスタには等しい電流が流れ、 V_{OUT} 電圧は（2）式で表される。

【0008】

【数2】

$$V_{OUT} = \alpha n \Delta V_{BE} + n V_{BE} = n (\alpha \Delta V_{BE} + V_{BE}) \simeq 1.2 n V \quad (2)$$

【0009】

上記出力を $1/n$ にすることにより図4の回路と同様に $1.2 V$ が得られる。また、このとき、 α は図4の α とほぼ等しい。

【0010】

差動増幅器 OP1 の入力換算雑音は図4の回路と同様に α 倍となり、入出力利得は図4の回路と同等であるので、出力を $1/n$ 倍し、 $1.2 V$ を得た場合には、図4の回路に対し、雑音特性は $1/n$ が得られる。この図6の回路を用いることによって、図4の回路に対して低雑音化が図れる。

【0011】

同様に、低雑音化のための別のバンドギャップ回路が知られている（例えば、

特許文献 2)。

【0012】

【特許文献 1】

特開平 8-44449 号公報

【0013】

【特許文献 2】

米国特許第 5796244 号明細書、Fig 1～3

【0014】

【発明が解決しようとする課題】

上述したように、低雑音特性を有する定電圧発生回路としては、図 5、図 6 のものが考えられるが、バイポーラトランジスタをスタックさせ、 $(1.2 \times n)$ V を発生させた後に $1/n$ 倍し、 1.2 V を得る必要がある。この場合、 $(1.2 \times n)$ V 以上の電源電圧で動作させる必要があり、低電圧動作と低雑音化を同時に達成することが難しいという問題がある。

【0015】

また、特許文献 2 に記載されているような回路の場合、出力段からフィードバックがない ($n \Delta V_{BE}$ を検出する回路が帰還回路となっていない) ため、環境変化などにより精度良い出力が得られない。

【0016】

そこで本発明の目的は、以上のような問題を解消した定電圧発生回路を提供することにある。

【0017】

【課題を解決するための手段】

請求項 1 の発明は、 n (n は $2 \leq n$ の整数) 個の第 1 バイポーラトランジスタからなる第 1 バイポーラトランジスタ群と、エミッタ面積が前記第 1 バイポーラトランジスタのエミッタ面積の A (A は $1 < A$) 倍である第 2 バイポーラトランジスタが n 個からなる第 2 バイポーラトランジスタ群と、前記 n 個の第 1 バイポーラトランジスタの夫々のベース・エミッタ間電圧の和の電圧と前記 n 個の第 2 バイポーラトランジスタの夫々のベース・エミッタ間電圧の和の電圧との差分の

電圧を発生する差分電圧発生手段とを備え、前記差分の電圧を増幅した電圧と前記第2バイポーラトランジスタ群のうちのバイポーラトランジスタの1個分のベース・エミッタ間電圧とを加算して温度に依存しない一定電圧を出力することを特徴とする。

【0018】

請求項2の発明は、請求項1に記載の定電圧発生回路において、前記差分電圧発生手段は差動増幅器を備え、前記差動増幅器の入力換算オフセット電圧が一次の温度特性を有することを特徴とする。

【0019】

請求項3の発明は、 n (n は $2 \leq n$ の整数)個の第1バイポーラトランジスタからなる第1バイポーラトランジスタ群と、エミッタ面積が前記第1バイポーラトランジスタのエミッタ面積の A (A は $1 < A$)倍である第2バイポーラトランジスタが n 個からなる第2バイポーラトランジスタ群と、前記 n 個の第1バイポーラトランジスタの夫々のベース・エミッタ間電圧の和の電圧と前記 n 個の第2バイポーラトランジスタの夫々のベース・エミッタ間電圧の和の電圧との差分の電圧を発生する差分電圧発生手段とを備え、前記差分の電圧を増幅した電圧と前記 n 個の第2バイポーラトランジスタの夫々のベース・エミッタ間電圧の和の電圧とを加算して温度に依存しない一定電圧を出力する定電圧発生回路であって、前記差分電圧発生手段は差動増幅器を備え、前記差動増幅器の入力換算オフセット電圧が一次の温度特性を有することを特徴とする。

【0020】

請求項4の発明は、 n (n は $2 \leq n$ の整数)個の第1 p n p トランジスタからなる第1 p n p トランジスタ群と、エミッタ面積が前記第1 p n p トランジスタのエミッタ面積の A (A は $1 < A$)倍である第2 p n p トランジスタが n 個からなる第2 p n p トランジスタ群と、前記第1及び第2 p n p トランジスタ群の夫々に電流を供給する電流源と、前記電流源の電流を制御する電流制御手段とを備え、前記第1 p n p トランジスタ群の夫々のコレクタは接地され、前記第1 p n p トランジスタ群の夫々のエミッタは前記電流源に接続され、前記第1 p n p トランジスタ群のうち1番目の第1 p n p トランジスタのベースは接地され、前記

第1 p n p トランジスタ群のうち k (k は $2 \leq k \leq n$ の整数) 番目の第1 p n p トランジスタのベースと ($k-1$) 番目の第1 p n p トランジスタのエミッタとは接続され、前記第2 p n p トランジスタ群の夫々のコレクタは接地され、前記第2 p n p トランジスタ群のうち1番目の第2 p n p トランジスタを除く夫々のエミッタは前記電流源に接続され、前記第2 p n p トランジスタ群のうち1番目の第2 p n p トランジスタのベースは接地され、前記第2 p n p トランジスタ群のうち2番目の第2 p n p トランジスタを除く k 番目の第2 p n p トランジスタのベースと前記第2 p n p トランジスタ群のうち ($k-1$) 番目の第2 p n p トランジスタのエミッタとは接続され、前記1番目の第2 p n p トランジスタのエミッタと前記電流源との間に2個の抵抗が直列に接続され、前記直列に接続された2個の抵抗間の接続点は前記第2 p n p トランジスタ群のうち2番目の第2 p n p トランジスタのベースに接続され、前記電流制御手段は、前記 n 番目の第1 p n p トランジスタのエミッタが接続される第1の入力端子と、前記 n 番目の第2 p n p トランジスタのエミッタが接続される第2の入力端子とを備え、前記第1の入力端子の電位と前記第2の入力端子の電位とが同じになるように、前記電流源の電流を制御する制御信号を出力することを特徴とする。

【0021】

請求項5の発明は、 n (n は $2 \leq n$ の整数) 個の第1 n p n トランジスタからなる第1 n p n トランジスタ群と、エミッタ面積が前記第1 n p n トランジスタのエミッタ面積の A (A は $1 < A$) 倍である第2 n p n トランジスタが n 個からなる第2 n p n トランジスタ群と、前記第1及び第2 n p n トランジスタ群の夫々に電流を供給する電流源と、前記電流源の電流を制御する電流制御手段とを備え、前記第1 n p n トランジスタ群の夫々のベースとコレクタとは接続され、前記第1 n p n トランジスタ群のうち1番目の第1 n p n トランジスタのエミッタは接地され、前記第1 n p n トランジスタ群のうち k (k は $2 \leq k \leq n$ の整数) 番目の第1 n p n トランジスタのエミッタと ($k-1$) 番目の第1 n p n トランジスタのコレクタとは接続され、前記第1 n p n トランジスタ群のうち n 番目の第1 n p n トランジスタのコレクタは前記電流源に接続され、前記第2 n p n トランジスタ群の夫々のベースとコレクタとは接続され、前記第2 n p n トランジ

スタ群のうち1番目の第2npnトランジスタのエミッタは接地され、前記第2npnトランジスタ群のうち2番目の第2npnトランジスタを除く k (k は $2 \leq k \leq n$ の整数)番目の第2npnトランジスタのエミッタと前記第2npnトランジスタ群のうち $(k-1)$ 番目の第2npnトランジスタのコレクタとは接続され、前記第2npnトランジスタ群のうち n 番目の第2npnトランジスタのコレクタは前記電流源に接続され、前記1番目の第2npnトランジスタのコレクタは直列に接続された2個の抵抗を介して前記電流源に接続され、前記直列に接続された2個の抵抗間の接続点は前記第2npnトランジスタ群のうち2番目の第2npnトランジスタのエミッタに接続され、前記電流制御手段は、前記 n 番目の第1npnトランジスタのコレクタが接続される第1の入力端子と、前記 n 番目の第2npnトランジスタのコレクタが接続される第2の入力端子とを備え、前記第1の入力端子の電位と前記第2の入力端子の電位とが同じになるように、前記電流源の電流を制御する制御信号を出力することを特徴とする。

【0022】

請求項6の発明は、請求項4または請求項5に記載の定電圧発生回路において、前記電流制御手段は差動増幅器を備え、前記差動増幅器の入力換算オフセット電圧が一次の温度特性を有することを特徴とする。

【0023】

請求項7の発明は、 n (n は $2 \leq n$ の整数)個の第1pnpトランジスタからなる第1pnpトランジスタ群と、エミッタ面積が前記第1pnpトランジスタのエミッタ面積の A (A は $1 < A$)倍である第2pnpトランジスタが n 個からなる第2pnpトランジスタ群と、前記第1及び第2pnpトランジスタ群の夫々に電流を供給する電流源と、前記電流源の電流を制御する電流制御手段とを備え、前記第1pnpトランジスタ群の夫々のコレクタは接地され、前記第1pnpトランジスタ群の夫々のエミッタは前記電流源に接続され、前記第1pnpトランジスタ群のうち1番目の第1pnpトランジスタのベースは接地され、前記第1pnpトランジスタ群のうち k (k は $2 \leq k \leq n$ の整数)番目の第1pnpトランジスタのベースと $(k-1)$ 番目の第1pnpトランジスタのエミッタとは接続され、前記第2pnpトランジスタ群の夫々のコレクタは接地され、前記

第2 p n p トランジスタ群のうち n 番目の第2 p n p トランジスタを除く夫々のエミッタは前記電流源に接続され、前記第2 p n p トランジスタ群のうち1番目の第2 p n p トランジスタのベースは接地され、前記第2 p n p トランジスタ群のうち k 番目の第2 p n p トランジスタのベースと (k-1) 番目の第2 p n p トランジスタのエミッタとは接続され、前記 n 番目の第2 p n p トランジスタのエミッタと前記電流源との間に2個の抵抗が直列に接続され、前記電流制御手段は、前記 n 番目の第1 p n p トランジスタのエミッタが接続される第1の入力端子と、前記直列に接続された2個の抵抗間の接続点が接続される第2の入力端子とを備え、前記第1の入力端子の電位と前記第2の入力端子の電位とが同じになるように、前記電流源の電流を制御する制御信号を出力する定電圧発生回路において、前記電流制御手段は差動増幅器を備え、前記差動増幅器の入力換算オフセット電圧が一次の温度特性を有することを特徴とする。

【0024】

請求項8の発明は、n (nは $2 \leq n$ の整数) 個の第1 n p n トランジスタからなる第1 n p n トランジスタ群と、エミッタ面積が前記第1 n p n トランジスタのエミッタ面積のA (Aは $1 < A$) 倍である第2 n p n トランジスタがn個からなる第2 n p n トランジスタ群と、前記第1及び第2 n p n トランジスタ群の夫々に電流を供給する電流源と、前記電流源の電流を制御する電流制御手段とを備え、前記第1 n p n トランジスタ群の夫々のベースとコレクタとは接続され、前記第1 n p n トランジスタ群のうち1番目の第1 n p n トランジスタのエミッタは接地され、前記第1 n p n トランジスタ群のうちk (kは $2 \leq k \leq n$ の整数) 番目の第1 n p n トランジスタのエミッタと (k-1) 番目の第1 n p n トランジスタのコレクタとは接続され、前記第1 n p n トランジスタ群のうちn番目の第1 n p n トランジスタのコレクタは前記電流源に接続され、前記第2 n p n トランジスタ群の夫々のベースとコレクタとは接続され、前記第2 n p n トランジスタ群のうち1番目の第2 n p n トランジスタのエミッタは接地され、前記第2 n p n トランジスタ群のうちk (kは $2 \leq k \leq n$ の整数) 番目の第2 n p n トランジスタのエミッタと (k-1) 番目の第2 n p n トランジスタのコレクタとは接続され、前記n番目の第2 n p n トランジスタのコレクタと前記電流源との間

に2個の抵抗が直列に接続され、前記電流制御手段は、前記n番目の第1npnトランジスタのコレクタが接続される第1の入力端子と、前記直列に接続された2個の抵抗間の接続点が接続される第2の入力端子とを備え、前記第1の入力端子の電位と前記第2の入力端子の電位とが同じになるように、前記電流源の電流を制御する制御信号を出力する定電圧発生回路において、前記電流制御手段は差動増幅器を備え、前記差動増幅器の入力換算オフセット電圧が一次の温度特性を有することを特徴とする。

【0025】

請求項9の発明は、請求項6から請求項8のいずれかに記載の定電圧発生回路であって、前記差動増幅器は、第1npnトランジスタ及びエミッタ面積が前記第1npnトランジスタのエミッタ面積のA（Aは $1 < A$ ）倍である第2npnトランジスタからなる差動対と、前記差動対に電流を供給する電流源とを備え、前記差動対は、前記第1及び第2の入力端子を備え、前記第1の入力端子は前記第1npnトランジスタのベースであり、前記第2の入力端子は前記第2npnトランジスタのベースであって、前記第1npnトランジスタのエミッタは前記電流源に接続され、前記第2npnトランジスタのエミッタは前記電流源に接続され、前記第1npnトランジスタのエミッタと前記第2npnトランジスタのエミッタは接続されることを特徴とする。

【0026】

請求項10の発明は、請求項9に記載の定電圧発生回路であって、前記差動増幅器は、m（mは $1 \leq m$ の整数）個の第1npnトランジスタからなる第1npnトランジスタ群と、エミッタ面積が前記第1npnトランジスタのエミッタ面積のA（Aは $1 < A$ ）倍である第2npnトランジスタがm個からなる第2npnトランジスタ群とをさらに備え、前記第1npnトランジスタ群の第1npnトランジスタの夫々のベースとコレクタとは接続され、第1npnトランジスタ群のうちk（kは $2 \leq k \leq m$ の整数）番目の第1npnトランジスタのコレクタと（k-1）番目の第1npnトランジスタのエミッタとは接続され、前記第1npnトランジスタ群のうち1番目の第1npnトランジスタのコレクタは前記差動対を構成する第1npnトランジスタのエミッタに接続され、前記第1np

n トランジスタ群のうち m 番目の第 1 n p n トランジスタのエミッタは前記電流源に接続され、前記第 2 n p n トランジスタ群の第 2 n p n トランジスタの夫々のベースとコレクタとは接続され、第 2 n p n トランジスタ群のうち k (k は $2 \leq k \leq m$ の整数) 番目の第 2 n p n トランジスタのコレクタと ($k-1$) 番目の第 2 n p n トランジスタのエミッタとは接続され、前記第 2 n p n トランジスタ群のうち 1 番目の第 2 n p n トランジスタのコレクタは前記差動対を構成する第 2 n p n トランジスタのエミッタに接続され、前記第 2 n p n トランジスタ群のうち m 番目の第 2 n p n トランジスタのエミッタは前記電流源に接続されることを特徴とする。

【0027】

【発明の実施の形態】

図 1 は本発明の第 1 の実施の形態を示す (図 1 と図 3 の回路は p n p バイポーラトランジスタか n p n バイポーラトランジスタかの違いであり、本質的な動作は等価である)。

【0028】

この定電圧発生回路は、n (n は $2 \leq n$ の整数) 個の第 1 p n p トランジスタ ($PN21 \sim PN2n$) からなる第 1 p n p トランジスタ群と、エミッタ面積が第 1 p n p トランジスタのエミッタ面積の N (N は $2 \leq N$ の整数) 倍である第 2 p n p トランジスタ ($PN11 \sim PN1n$) が n 個からなる第 2 p n p トランジスタ群と、第 1 及び第 2 p n p トランジスタ群の夫々に電流を供給する電流源 ($P11 \sim P1n$, $P21 \sim P2n$) と、電流源の電流を制御する電流制御手段としての差動増幅 OP1 とを備えている。

【0029】

第 1 p n p トランジスタ群の夫々のコレクタは接地され、第 1 p n p トランジスタ群の夫々のエミッタは電流源に接続され、第 1 p n p トランジスタ群のうち 1 番目の第 1 p n p トランジスタ $PN21$ のベースは接地され、第 1 p n p トランジスタ群のうち k (k は $2 \leq k \leq n$ の整数) 番目の第 1 p n p トランジスタ $PN2k$ のベースと ($k-1$) 番目の第 1 p n p トランジスタ $PN2(k-1)$ のエミッタとは接続され、第 2 p n p トランジスタ群の夫々のコレクタは接地され

、第2 p n p トランジスタ群のうち1番目の第2 p n p トランジスタ P N 1 1 を除く夫々のエミッタは電流源に接続され、第2 p n p トランジスタ群のうち1番目の第2 p n p トランジスタ P N 1 1 のベースは接地され、第2 p n p トランジスタ群のうち2番目の第2 p n p トランジスタ P N 1 2 を除く k 番目の第2 p n p トランジスタ P N 1 k のベースと第2 p n p トランジスタ群のうち (k - 1) 番目の第2 p n p トランジスタ P N 1 (k - 1) のエミッタとは接続され、1番目の第2 p n p トランジスタ P N 1 1 のエミッタと電流源との間に2個の抵抗 R 1 , R 2 が直列に接続され、この直列に接続された2個の抵抗間の接続点は2番目の第2 p n p トランジスタ P N 1 2 のベースに接続される。

【0030】

差動増幅器 O P 1 は、n 番目の第1 p n p トランジスタ P N 2 n のエミッタが接続される第1の入力端子（負入力端子）と、n 番目の第2 p n p トランジスタ P N 1 n のエミッタが接続される第2の入力端子（正入力端子）とを備え、第1の入力端子の電位と第2の入力端子の電位とが同じになるように、電流源の電流を制御する制御信号を出力する。

【0031】

この定電圧発生回路が図5のそれと異なる点は、抵抗 R 1 を第2 p n p トランジスタ P N 1 1 のエミッタと第2 p n p トランジスタ P N 1 2 のベースとの間に挿入し、抵抗 R 2 を電流源 P 1 1 に接続した点である。差動増幅器 O P 1 を用いて帰還系が構成されているので、差動増幅器の正入力端子電圧と負入力端子電圧とは動作状態において一致している。

【0032】

このとき、それぞれの端子の電圧は、

$$V_{PIN} = V_{BE11} + V_{R1} + V_{BE12} + \dots + V_{BE1n} \quad (3)$$

$$V_{NIN} = V_{BE21} + V_{BE22} + \dots + V_{BE2n} \quad (4)$$

$V_{PIN} = V_{NIN}$ であるので、

$$V_{R1} = n V_{BE(1)} - n V_{BE(N)} \equiv n \Delta V_{BE} \quad (5)$$

$$\therefore V_{BE(N)} = V_{BE11} = \dots = V_{BE1n}$$

$$V_{BE(1)} = V_{BE21} = \dots = V_{BE2n}$$

となる。よって、 V_{OUT} は、

$$V_{OUT} = V_{BE} + \alpha' n \Delta V_{BE} = 1.2V \quad (6)$$

となり、従来技術で必要であった $1/n$ に電圧を下げるための回路は必要でなくなり、また、 $\alpha' n \div \alpha$ であるので、 $\alpha' \div \alpha/n$ となり、ループ利得は図5の回路出力を $1/n$ にした後の雑音特性と同等な雑音特性を有する。

【0033】

但し、従来技術では $(1.2 \times n) V + PMOS \ FET$ (電流源 P11) の V_{on} 以上の電源電圧が必要であったが、本発明では、 $n V_{BE} + PMOS \ FET$ (電流源 P11) の V_{on} 以上の電源電圧での動作が可能であり、低電圧化が図れる。

【0034】

ついで、本発明に係る差動増幅器の一例を図2に示す。

【0035】

この差動増幅器は、 m (m は $2 \leq m$ の整数) 個の第1 $n p n$ トランジスタ ($NP11 \sim NP1m$) からなる第1 $n p n$ トランジスタ群と、エミッタ面積が第1 $n p n$ トランジスタのエミッタ面積の N (N は $2 \leq N$ の整数) 倍である第2 $n p n$ トランジスタ ($NP21 \sim NP2m$) が m 個からなる第2 $n p n$ トランジスタ群と、第1 $n p n$ トランジスタ群のうちの1番目の第1 $n p n$ トランジスタ $NP11$ 及び第2 $n p n$ トランジスタ群のうちの1番目の第2 $n p n$ トランジスタ $NP21$ からなる差動対と、前記差動対に電流を供給する電流源 ($P1, P2$) とを備えている。

【0036】

前記差動対は、第1の入力端子 NIN (負入力端子) 及び第2の入力端子 PIN (正入力端子) を備え、第1の入力端子 NIN は第1 $n p n$ トランジスタ $NP11$ のベースであり、第2の入力端子 PIN は第2 $n p n$ トランジスタ $NP21$ のベースである。

【0037】

第1 $n p n$ トランジスタ群のうち k (k は $2 \leq k \leq m$ の整数) 番目の第1 $n p n$ トランジスタ $NP1k$ のコレクタと $(k-1)$ 番目の第1 $n p n$ トランジスタ

NP1 (k-1) のエミッタとは接続され、第1 npn トランジスタ NP1 k の夫々のベースとコレクタとは接続され、m 番目の第1 npn トランジスタ NP1 m のエミッタは電流源 P1 に接続され、第2 npn トランジスタ群のうち k ($2 \leq k \leq m$ の整数) 番目の第2 npn トランジスタ NP2 k のコレクタと (k-1) 番目の第2 npn トランジスタ NP2 (k-1) のエミッタとは接続され、第2 npn トランジスタ NP2 k の夫々のベースとコレクタとは接続され、m 番目の第2 npn トランジスタ NP2 m のエミッタは電流源 P2 に接続される。

【0038】

この差動増幅器を用いて、帰還系を構成した場合、左右の差動対に流れる電流はほぼ一致した状態で安定となる。このとき、NP1 m と NP2 m のエミッタが接続されたノードを基準とし、NIN, PIN の電圧を考えると、それぞれ、

$$V_{NIN} = m V_{BE} \quad (1)$$

$$V_{PIN} = m V_{BE} \quad (N)$$

となる。

【0039】

よって、 V_{PIN} と V_{NIN} の電位差 ΔV_{IN} は、

$$\Delta V_{IN} = m \Delta V_{BE}$$

となり、1 次の温度特性の入力換算オフセット電圧を有する。

【0040】

この差動増幅器を図1の回路の差動増幅器として使用した場合、抵抗 R1 にかかる電圧は $n \Delta V_{BE} + \Delta V_{IN} = (N+M) \Delta V_{BE}$ となる。よって、 V_{OUT} は、

$$V_{OUT} = V_{BE} + \alpha'' (n+m) \Delta V_{BE} = 1.2 V$$

$\alpha'' = \alpha / (n+m)$ となり、更にループ利得が下がる。

【0041】

結果として、図1の実施例と同等の電源電圧での動作は可能であるが、雑音特性の改善が可能であり、従来技術と比較すると低電圧動作が可能な上に低雑音化が図れる。

【0042】

【発明の効果】

以上説明したように、本発明によれば、低電圧駆動が可能であり、低雑音化が可能な定電圧発生回路を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態を示す回路図である。

【図 2】

本発明による差動増幅器の実施形態を示す回路図である。

【図 3】

本発明の他の実施形態を示す回路図である。

【図 4】

従来のバンドギャップリファレンス回路図である。

【図 5】

従来のバンドギャップリファレンス回路図である。

【図 6】

従来のバンドギャップリファレンス回路図である。

【符号の説明】

OP1 差動増幅器

PN11～PN1n 第2 pnp トランジスタ

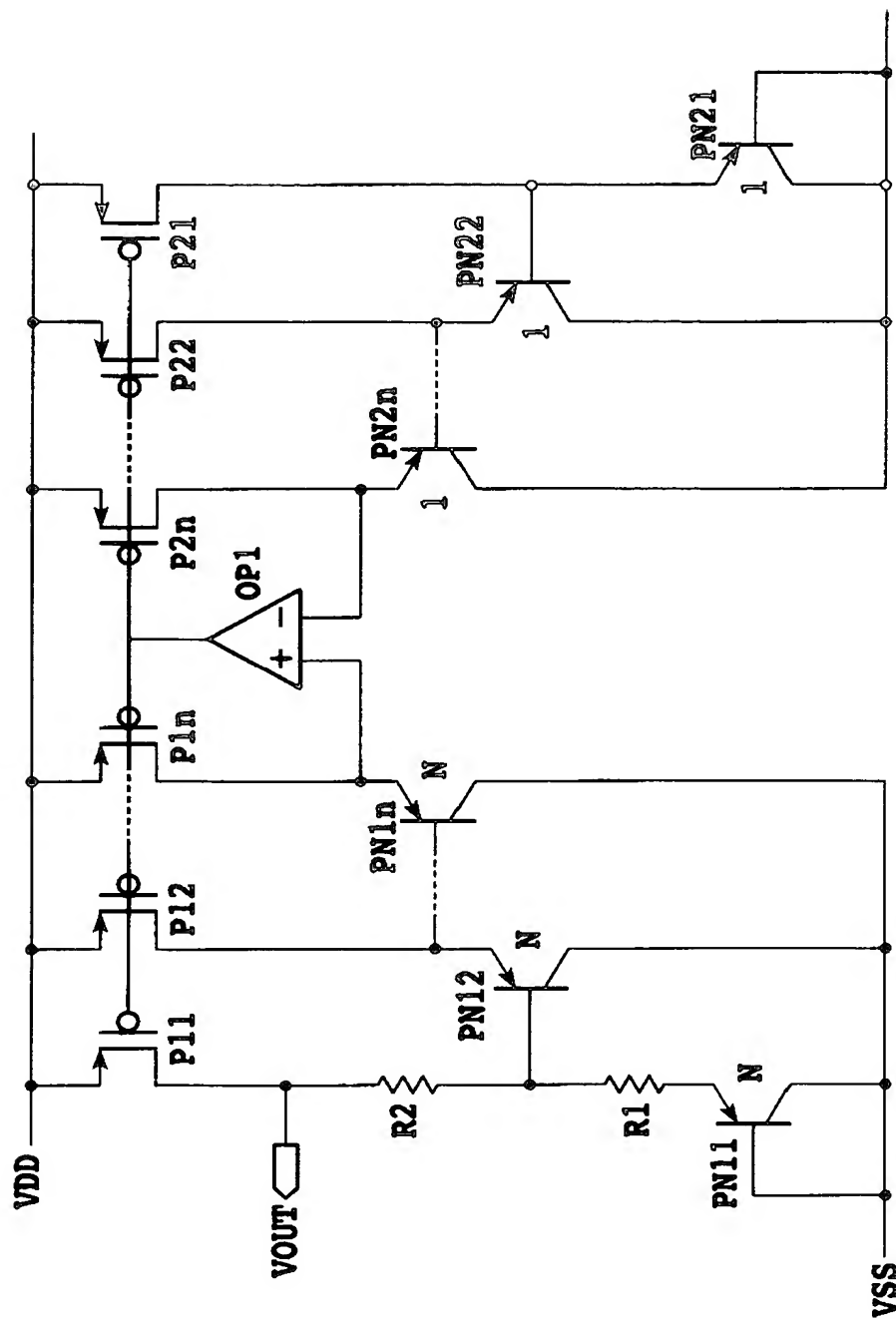
PN21～PN2n 第1 pnp トランジスタ

P11～P1n, P21～P2n 電流源

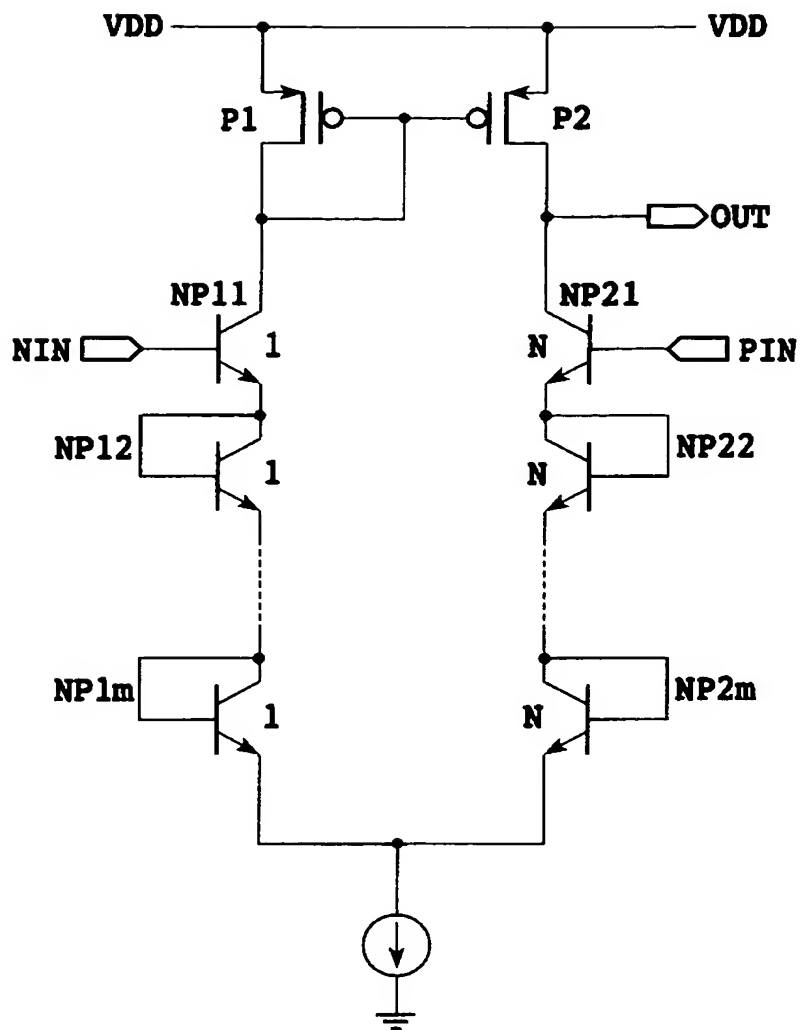
【書類名】

図面

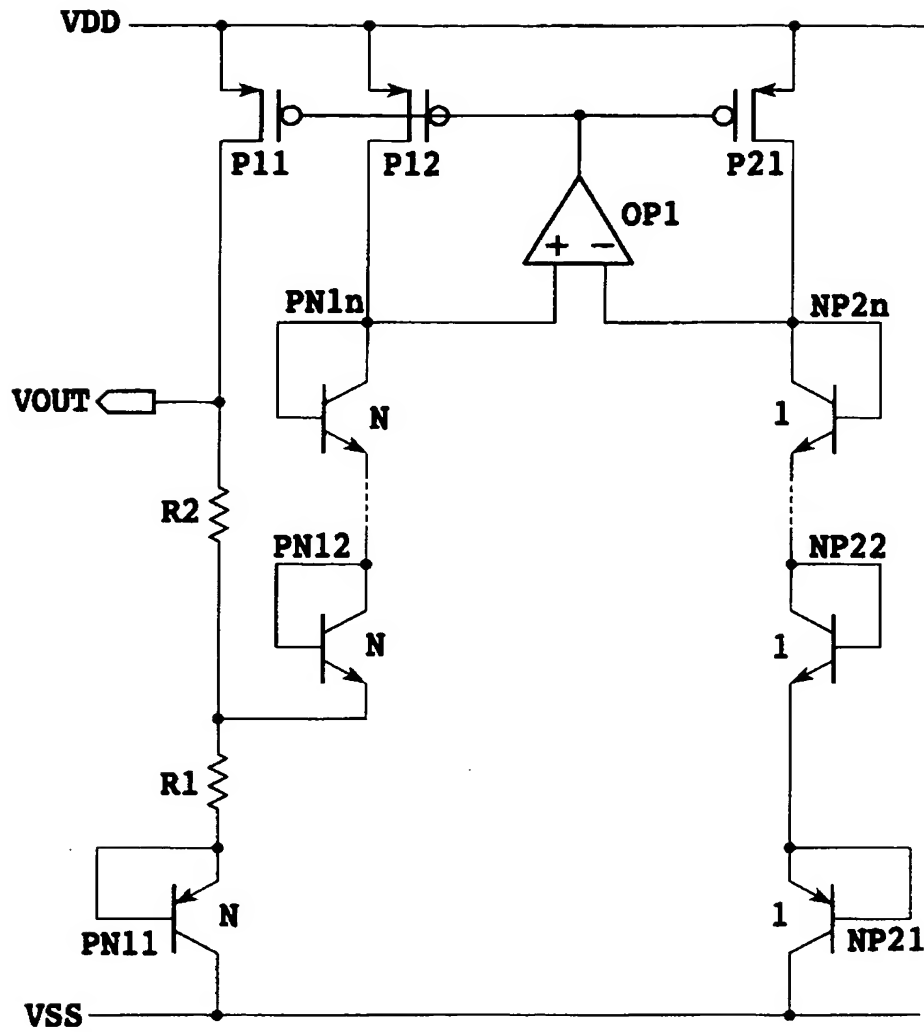
【図 1】



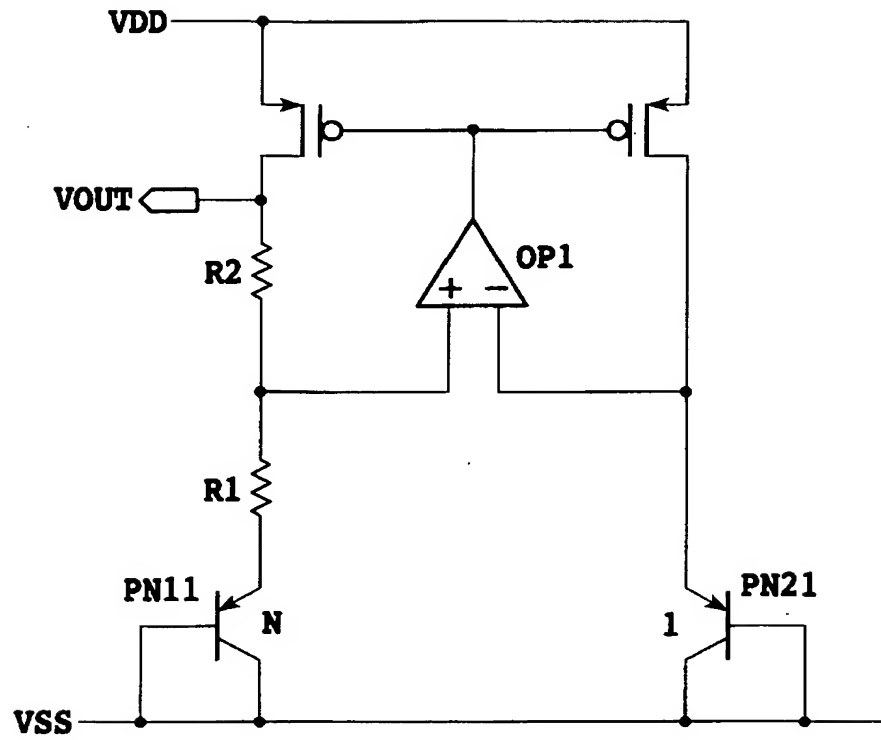
【図 2】



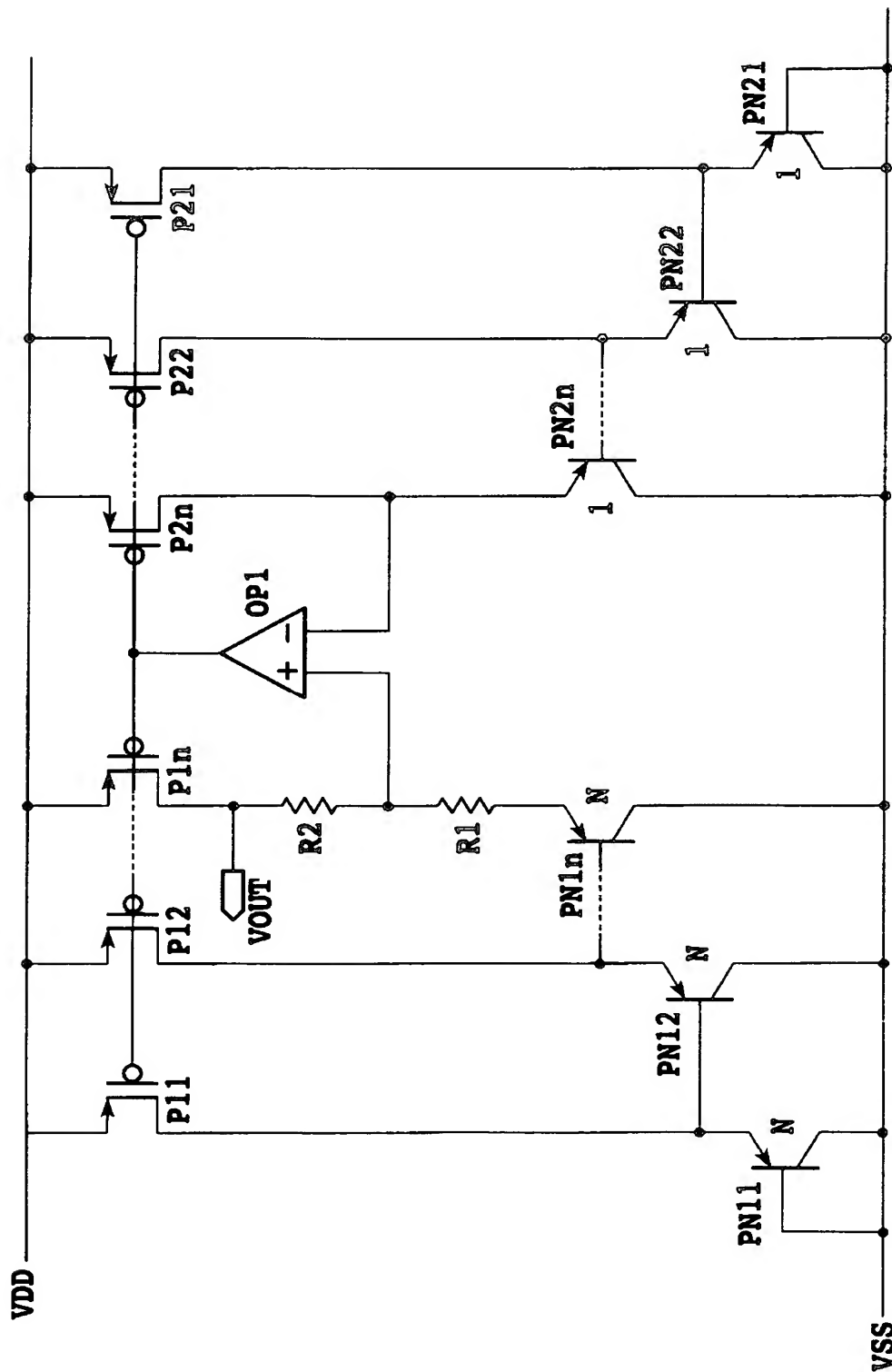
【図 3】



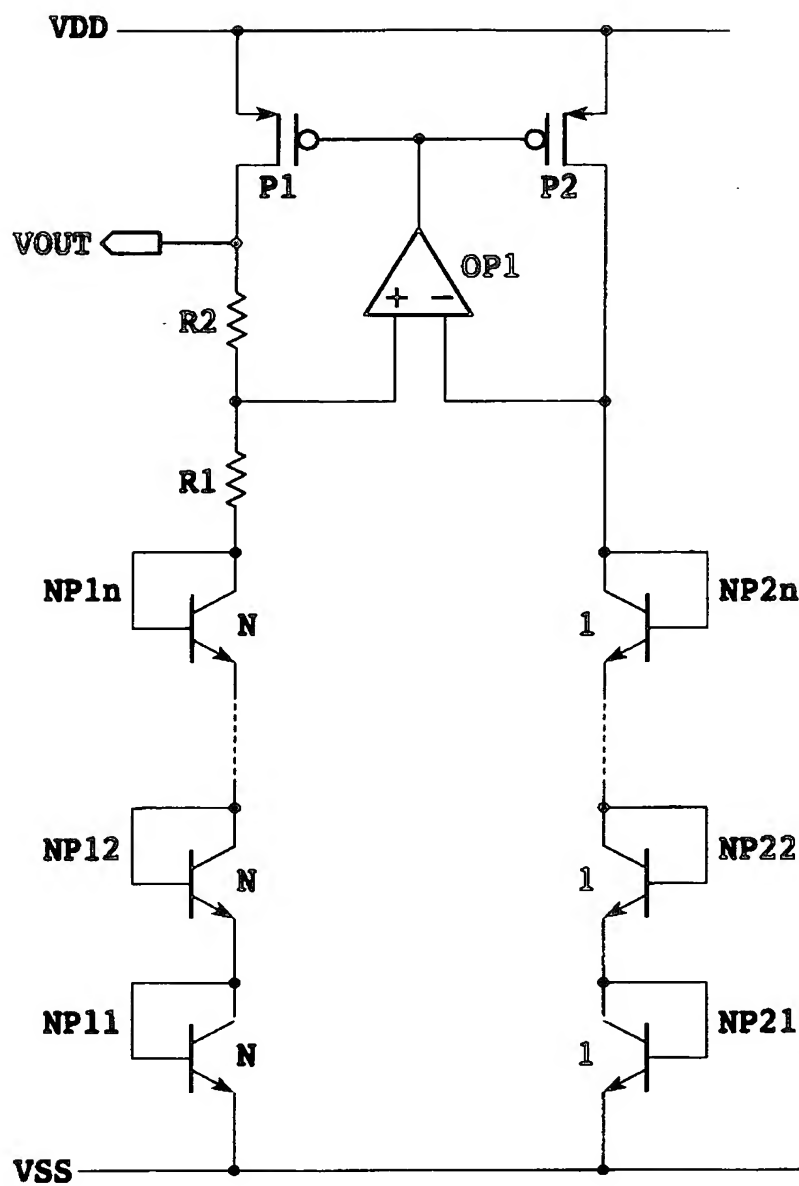
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 低電圧駆動が可能であり、低雑音化が可能な定電圧発生回路を提供すること。

【解決手段】 抵抗 R_1 を pnp トランジスタ $PN11$ のエミッタと pnp トランジスタ $PN12$ のベースとの間に挿入し、抵抗 R_2 を電流源 $P11$ に接続する。差動増幅器 $OP12$ つの端子の電圧 V_{PIN} , V_{NIN} は、

$$V_{PIN} = V_{BE11} + V_{R1} + V_{BE12} + \dots + V_{BE1n}$$

$$V_{NIN} = V_{BE21} + V_{BE22} + \dots + V_{BE2n}$$

$V_{PIN} = V_{NIN}$ であるので、 $V_{R1} = nV_{BE(1)} - nV_{BE(N)} \equiv n\Delta V_{BE}$ となる。よって、 V_{OUT} は、 $V_{OUT} = V_{BE} + \alpha' n\Delta V_{BE} = 1.2V$ となり、従来技術で必要であった $1/n$ に電圧を下げるための回路は必要でなくなり、低電圧化が図れる。

【選択図】 図1

特願 2 0 0 2 - 3 5 2 8 1 2

出 願 人 履 歴 情 報

識別番号

[5 9 4 0 2 1 1 7 5]

1 . 変更年月日

1 9 9 4 年 6 月 1 3 日

[変更理由]

名称変更

住所変更

住 所

東京都渋谷区代々木 1 丁目 2 4 番 1 0 号

氏 名

旭化成マイクロシステム株式会社

2 . 変更年月日

2 0 0 0 年 1 1 月 2 2 日

[変更理由]

住所変更

住 所

東京都新宿区西新宿三丁目 7 番 1 号

氏 名

旭化成マイクロシステム株式会社